

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-243304

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H04N 5/44
H03J 7/18

(21)Application number : 09-046139

(71)Applicant : SONY CORP

(22)Date of filing : 28.02.1997

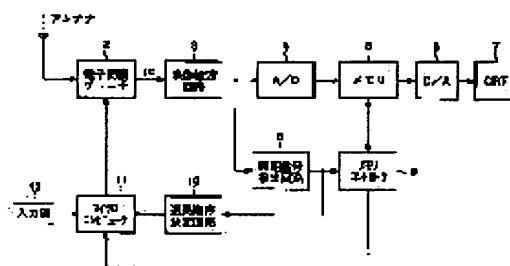
(72)Inventor : OTA MASASHI

(54) EQUIPMENT AND METHOD FOR RECEPTION

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the waiting time in switching as much as possible when receiving plural channels while periodically switching them.

SOLUTION: The plural channels are received by an electronic tuner 2 while being periodically switched in prescribed order, and that is fetched as a still picture for a multiscreen into a memory 5 and displayed on a CRT 7. While receiving the supply of vertical synchronizing signal detected by a synchronizing signal detection circuit 8, a tuning order determination circuit 10 detects the phase difference of vertical synchronizing signal among the respective channels. Then, the channel to let the leading part of video signal first arrive after the end of tuning operation is determined from that phase difference, time required for tuning and time for one field, and that channel is determined as a channels next to be tuned.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The receiving set characterized by to have a detection means to detect the phase contrast of the synchronizing signal in the signal of two or more of said channels, a decision means to determine the sequence of a channel selection of two or more of said channels corresponding to said phase contrast, and a receiving means receive the signal of two or more of said channels periodically in said determined sequence in the receiving set which changes the signal of two or more channels periodically, and is received.

[Claim 2] The receiving set according to claim 1 characterized by having further a storage means to memorize said detected phase contrast.

[Claim 3] Said detection means is a receiving set according to claim 1 characterized by searching said two or more channels and detecting the phase contrast of the synchronizing signal in the signal of each channel.

[Claim 4] Said detection means is a receiving set according to claim 1 characterized by detecting the phase contrast of the Vertical Synchronizing signal of a video signal.

[Claim 5] Said decision means is a receiving set according to claim 1 characterized by taking into consideration further the field period of said video signal, and the time amount which a channel selection takes, and determining said sequence.

[Claim 6] The receiving approach characterized by to have the step which detects the phase contrast of the synchronizing signal in the signal of two or more of said channels, the step which determines the sequence of a channel selection of two or more of said channels corresponding to said phase contrast, and the step which receives the signal of two or more of said channels periodically in said determined sequence in the receiving approach which changes the signal of two or more channels periodically, and is received.

[Claim 7] In the receiving set which a synchronizing signal changes the signal of two or more channels of an inphase periodically, and is received The 1st receiving means which receives the signal of two or more of said channels periodically, The 2nd receiving means which receives the signal of one fixed predetermined channel out of said two or more channels, The receiving set characterized by having a detection means to detect the synchronizing signal of the signal of the channel received by said 2nd receiving means, and the control means which controls channel selection actuation of said 1st receiving means synchronizing with said detected synchronizing signal.

[Claim 8] The receiving set according to claim 7 characterized by having further the change means which changes the receiving channel by said 2nd receiving means to other channels when said synchronizing signal is not detected by said detection means.

[Claim 9] In the receiving approach which a synchronizing signal changes the signal of two or more channels of an inphase periodically, and is received The 1st receiving step which receives the signal of two or more of said channels periodically, The 2nd receiving step which receives the signal of one fixed predetermined channel out of said two or more channels, The receiving approach characterized by having the detection step which detects the synchronizing signal of the signal of the channel received at said 2nd receiving step, and the control step which controls channel selection actuation of said 1st receiving step synchronizing with said detected

synchronizing signal.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is set, when changing the signal of two or more channels periodically and receiving especially about a receiving set and an approach, and it relates to the receiving set and approach which were made to lessen lack of the information at the time of a change.

[0002]

[Description of the Prior Art] Sequential reception of the signal of the television broadcasting of two or more channels is carried out, and there are some latest television receivers which have the function displayed on coincidence on a multi-screen as a still picture which reduced this. In the television receiver which has such an addition function, the image which reduced the image of the program currently broadcast on one multi-screen at each broadcasting station is displayed on coincidence as a still picture. Therefore, in each channel, a user can check what kind of program is broadcast now, looking at an actual image, and can choose a desired program out of it.

[0003]

[Problem(s) to be Solved by the Invention] By the way, in the television receiver which has such an addition function, since the image of the program currently broadcast changes every moment, after it receives a predetermined number of channels briefly, it needs to repeat again the actuation which carries out sequential reception of the signal of each channel.

[0004] However, in the conventional television receiver, as the sequence of the channel to receive was called the 1st channel, the 3rd channel, the 4th channel, the 6th channel, the 8th channel, the 10th channel, and 12th channel, it was considering as the sequence of a channel number. The video signal of each channel is not what synchronized mutually. The latency time will occur until the field of the video signal 2 of Broadcast B will start in time of day t2 after the field of the video signal 1 of Broadcast A is completed in time of day t1 if it is going to receive the video signal 2 of the broadcast B of the following sequence (channel B) after receiving the video signal 1 of Channel A (broadcast A) so that it may be shown as a result, for example, drawing 12.

[0005] That is, if time amount required for a channel selection shall be disregarded now, although it is possible in time of day t1 to change to the receive state of the video signal 1 of Broadcast B immediately in the timing which reception of the video signal 1 of Broadcast A ended, in time of day t1, it is the middle of the video signal 1 of Broadcast B, for example. So, when it changes at time of day t1, all the fields of the video signal 1 of Broadcast B cannot be received. Therefore, the change of a display must be stood by till the time of day t2 which the field of the next video signal 2 of Broadcast B starts.

[0006] In the CATV system, as shown in drawing 13, the synchronizing signal of each channel serves as an inphase further again. That is, for example, it is in the location where the Vertical Synchronizing signal (the notation of V shows among drawing) of Broadcast A thru/or Broadcast D corresponds. After following, for example, receiving the video signal 1 of Broadcast A, shortly after performing channel selection actuation of the next broadcast B as channel selection 1,

after passing through the latency time corresponding to the period of a Vertical Synchronizing signal, the video signal 3 of Broadcast B is receivable, if the time amount of the 1 field shall be taken in this channel selection actuation.

[0007] However, in order to perform management of the time amount in the case of performing channel selection actuation independently of the received video signal in the conventional receiving set, When the worst, as the die length of the time amount for a channel selection (1 field) shifts from the die length of the time amount of the received video signal, and drawing 13 is shown as channel selection 2 Properly speaking, actuation of channel selection 2 cannot be terminated in the timing which can receive the video signal 5 of Broadcast C, and after broadcast of the video signal 5 of Broadcast C has been started, actuation of channel selection 2 will be ended after all. In such a case, since an image cannot be changed in the middle of the video signal 5 of Broadcast C, it will be necessary to stand by the change of an image to the following video signal 6 after all. Consequently, the latency time becomes long and lack of an image (video signal 5) increases.

[0008] This invention controls informational lack, as it is made in view of such a situation and the latency time at the time of a channel selection change becomes as short as possible.

[0009]

[Means for Solving the Problem] A receiving set according to claim 1 is characterized by having a detection means to detect the phase contrast of the synchronizing signal in the signal of two or more channels, a decision means to determine the sequence of a channel selection of two or more channels corresponding to phase contrast, and a receiving means to be the determined sequence and to receive the signal of two or more channels periodically.

[0010] The receiving approach according to claim 6 is characterized by having the step which detects the phase contrast of the synchronizing signal in the signal of two or more channels, the step which determines the sequence of a channel selection of two or more channels corresponding to phase contrast, and the step which is the determined sequence and receives the signal of two or more channels periodically.

[0011] 1st receiving means by which a receiving set according to claim 7 receives the signal of two or more channels periodically, The 2nd receiving means which receives the signal of one fixed predetermined channel out of two or more channels, It is characterized by having a detection means to detect the synchronizing signal of the signal of the channel received by the 2nd receiving means, and the control means which controls channel selection actuation of the 1st receiving means synchronizing with the detected synchronizing signal.

[0012] The 1st receiving step to which the receiving approach according to claim 9 receives the signal of two or more channels periodically, The 2nd receiving step which receives the signal of one fixed predetermined channel out of two or more channels, It is characterized by having the detection step which detects the synchronizing signal of the signal of the channel received at the 2nd receiving step, and the control step which controls channel selection actuation of the 1st receiving step synchronizing with the detected synchronizing signal.

[0013] In a receiving set according to claim 1 and the receiving approach according to claim 6, the sequence of a channel selection is determined corresponding to the phase contrast of the synchronizing signal in the signal of two or more channels.

[0014] In a receiving set according to claim 7 and the receiving approach according to claim 9, the synchronizing signal of the signal of one fixed channel is detected, and the channel selection actuation periodically performed synchronizing with the synchronizing signal is controlled.

[0015]

[Embodiment of the Invention] Although the gestalt of operation of this invention is explained below, it is as follows, when the gestalt (however, an example) of operation [/ in the parenthesis after each means] is added and the description of this invention is described, in order to clarify correspondence relation between each means of invention given in a claim, and the gestalt of the following operations. However, of course, this publication does not mean limiting to what indicated each means.

[0016] A detection means by which a receiving set according to claim 1 detects the phase contrast of the synchronizing signal in the signal of two or more channels (for example,

synchronizing signal detector 8 of drawing 1), It is characterized by having a decision means (for example, channel selection sequence decision circuit 10 of drawing 1) to determine the sequence of a channel selection of two or more channels corresponding to phase contrast, and a receiving means (for example, electronic tuning tuner 2 of drawing 1) to receive the signal of two or more channels periodically in the determined sequence.

[0017] A receiving set according to claim 2 is characterized by having further a storage means (for example, the phase storage machine 23-1 thru/or 23-n of drawing 3) to memorize the detected phase contrast.

[0018] 1st receiving means by which a receiving set according to claim 7 receives the signal of two or more channels periodically (for example, electronic electronic tuning tuner 42 of drawing 9), The 2nd receiving means which receives the signal of one fixed predetermined channel out of two or more channels (for example, electronic tuning tuner 31 of drawing 9), A detection means to detect the synchronizing signal of the signal of the channel received by the 2nd receiving means (for example, synchronizing signal detector 33 of drawing 9), It is characterized by having the control means (for example, microcomputer 51 of drawing 9) which controls channel selection actuation of the 1st receiving means synchronizing with the detected synchronizing signal.

[0019] A receiving set according to claim 8 is characterized by having further the change means (for example, step S34 of drawing 11) which changes the receiving channel by the 1st receiving means to other channels, when a synchronizing signal is not detected by the detection means.

[0020] Drawing 1 expresses the example of a configuration adapting the receiving set of this invention of a television receiver. The electronic tuning tuner 2 receives a broadcasting electric-wave through an antenna 1, and is made as [output / restore to this and / to the image detector circuit 3 / as an intermediate frequency signal]. The image detector circuit 3 restores to the inputted intermediate frequency signal, and outputs it to A/D converter 4 and the synchronizing signal detector 8 as an analog video signal. A/D converter 4 carries out A/D conversion of the inputted video signal, and is outputting it to memory 5. Memory 5 is made as [memorize / the digital video signal supplied from A/D converter 4 / by the 1 field (one screen)]. D/A converter 6 changes into an analog video signal the digital video signal read from memory 5, and is made as [output / to CRT7].

[0021] The synchronizing signal detector 8 detects the Vertical Synchronizing signal included in the analog video signal supplied from the image detector circuit 3, and is outputting the detection result to the memory controller 9 and the channel selection sequence decision circuit 10. The memory controller 9 is made as [control / memory 5] corresponding to the detecting signal supplied from the synchronizing signal detector 8. Moreover, the memory controller 9 is made as [write / reduce the magnitude of the image for the 1 field memorized by memory 5 to one third, and / in the position of memory 5 / the data of the reduced image]. And the memory controller 9 contracts, respectively, uses the image of the program for nine channels as the data of one multi-screen, and is made as [write / in memory 5 / this]. Consequently, as shown in drawing 2 , it is made by CRT7 as [display / the static image of nine programs / in one multi-screen / reduce and].

[0022] The channel selection sequence decision circuit 10 receives the input of the detecting signal which the synchronizing signal detector 8 outputs, detects the phase contrast of the synchronizing signal of each channel, and is made as [output / , from this phase contrast / to a microcomputer 11 / the result of having determined and determined channel selection sequence]. A microcomputer 11 controls the electronic tuning tuner 2 corresponding to the input from the channel selection sequence decision circuit 10, and is made as [make / channel selection actuation / perform in predetermined sequence]. The timing signal with which the timing which the writing to the memory 5 of the image data for one channel completed is expressed to this microcomputer 11 again is made as [supply / from the memory controller 9]. The input section 12 is made as [operate / by the user], when inputting various kinds of commands to a microcomputer 11.

[0023] Drawing 3 expresses the example of a configuration of the channel selection sequence decision circuit 10. The phase detector 21 detects the detecting signal of the Vertical

Synchronizing signal supplied from the synchronizing signal detector 8, and the phase contrast of the criteria synchronizing signal which the criteria synchronizing signal generator 22 outputs for every channel, and is made as [supply / to the phase storage machine 23-1 thru/or 23-n / the signal corresponding to the phase contrast]. The phase storage machine 23-1 thru/or 23-n are made as [memorize / the phase contrast over the criteria synchronizing signal which the criteria synchronizing signal generator 22 of the Vertical Synchronizing signal included in the video signal of each channel generates]. The arithmetic circuit 24 is made as [output /, corresponding to the phase contrast memorized by the phase storage machine 23-1 thru/or 23-n / to a microcomputer 11 / the result (channel selection sequence) of having calculated and calculated channel selection sequence].

[0024] Next, the actuation is explained. The input section 12 is operated, and if the command of a display of a multi-screen as shown in drawing 2 is inputted, a microcomputer 11 will perform processing shown in the flow chart of drawing 4. A microcomputer 11 controls the electronic tuning tuner 2, and makes the broadcasting electric-wave of a predetermined channel first receive in step S1. The electronic tuning tuner 2 receives the broadcasting electric-wave of the specified channel corresponding to the control signal from a microcomputer 11, and outputs the intermediate frequency signal to the image detector circuit 3. The image detector circuit 3 detects the inputted intermediate frequency signal, and outputs an analog video signal to the synchronizing signal detector 8. The synchronizing signal detector 8 detects the Vertical Synchronizing signal included in the inputted video signal. The synchronizing signal detector 8 supplies the signal corresponding to this Vertical Synchronizing signal to the channel selection sequence decision circuit 10.

[0025] In the channel selection circuit decision circuit 10, the detecting signal of the Vertical Synchronizing signal supplied from the synchronizing signal detector 8 is received in the phase detector 21. The phase detector 21 detects the detecting signal (drawing 5 (B)) of this Vertical Synchronizing signal, and the phase contrast of the criteria synchronizing signal (drawing 5 (A)) which the criteria synchronizing signal generator 22 generates. This phase contrast is detected as time amount from the generating timing of a criteria synchronizing signal to the timing of falling of a Vertical Synchronizing signal, as shown in drawing 5. The detected phase contrast is memorized by the phase storage machine 23-1 in step S2.

[0026] Next, when it judges with the channel which judges whether it progressed to step S3 and the microcomputer 11 memorized the phase contrast of all channels, and has not memorized it yet remaining, processing which changes the channel which progresses to step S4 and is received is performed. And the electronic tuning tuner 2 is controlled to make step S1 receive return and the changed channel.

[0027] Thus, if the video signal of the following channel is outputted from the image detector circuit 3, the Vertical Synchronizing signal will be detected in the synchronizing signal detector 8. The phase detector 21 detects the phase contrast of this Vertical Synchronizing signal and the criteria synchronizing signal which the criteria synchronizing signal generator 22 generates. This phase contrast is memorized by the phase storage machine 23-2.

[0028] The above actuation is repeated, and when judged with the phase contrast of all channels having been memorized by the phase storage machine 23-1 thru/or 23-n at step S3, phase contrast detection processing is ended.

[0029] A search of phase contrast [as opposed to the criteria synchronizing signal of the Vertical Synchronizing signal of each broadcast channel as mentioned above] performs [next] the operation which determines channel selection sequence in an arithmetic circuit 24.

Processing of this channel selection sequence decision is explained with reference to the flow chart of drawing 6. In addition, for convenience, as now shown in drawing 7, in Channels CA and CD, Broadcast A thru/or Broadcast D consider as the thing of explanation currently broadcast, respectively. And the phase contrast Ta from the criteria Vertical Synchronizing signal of the Vertical Synchronizing signal in the video signal of Broadcast A thru/or Broadcast D thru/or Td shall be memorized by the phase storage machine 23-1 thru/or 23-4, respectively.

[0030] In step S11, an arithmetic circuit 24 sets as the beginning the channel CA first received in phase contrast detection processing as a channel Q1 of the channel selection ranking of No.

1. Next, it progresses to step S12 and $Tm1$ is calculated according to a degree type.
 $Tm1 = (Ta + Tf + Ts) \bmod Tf$ [0031] Here, Tf expresses the time amount (about 16.7ms) of the 1 field, and Ts expresses time amount required for a channel selection with the electronic tuner 2. [0032] That is, the remainder obtained as a result of carrying out division of $Ta + Tf + Ts$ by Tf is set to $Tm1$. It is as follows when this semantics of $Tm1$ is explained with reference to drawing 7.

[0033] That is, supposing the time amount from now, for example, criteria, Vertical Synchronizing signal $f1$ to the head of the Vertical Synchronizing signal (V) of Broadcast A is Ta , the time amount which added the time amount Tf for the 1 field to this will become equal to the time amount from criteria Vertical Synchronizing signal $f1$ to the last of the video signal 1 of Broadcast A. Furthermore, if the time amount Ts required for a channel selection is added to this time amount $Ta + Tf$, the time amount from criteria Vertical Synchronizing signal $f1$ to time of day $t21$ will serve as $Ta + Tf + Ts$. Since $Tm1$ is remainder obtained as a result of carrying out division of this $Ta + Tf + Ts$ by Tf , it serves as time amount by time of day $t21$ (end time of channel selection 1) from criteria Vertical Synchronizing signal $f3$ in drawing 7.

[0034] Next, it progresses to step S13 and an arithmetic circuit 24 asks for the thing nearest to $Tm1$ more greatly than $Tm1$ calculated at step S12 out of each phase contrast Tb , Tc , and Td of the three remaining channels CB, CC, and CD except the broadcast channel CA which already determined ranking. And it considers as the channel Q2 which tunes in the channel to which the phase contrast searched for corresponds to the 2nd.

[0035] In the example of drawing 7, Tb and Tc are shorter than $Tm1$, and only its Td is larger than $Tm1$. Then, the channel CD of Td is set to Q2 in this case. That is, it will be said that this channel CD is a channel at which the head of a video signal arrives early most after channel selection processing (channel selection 1) termination.

[0036] Next, it progresses to step S14, and a degree type is calculated in order to determine the channel which should be tuned in to the 3rd.

$Tm2 = (TQ2 + Tf + Ts) \bmod Tf$ [0037] In addition, $TQ2$ expresses with step S13 the phase contrast of the channel set up as Q2, and, in the case of the example of drawing 7, is set to $TQ2 = Td$ here.

[0038] As shown in drawing 7, Td is time amount until the Vertical Synchronizing signal in front of the video signal 4 of Broadcast D begins from criteria Vertical Synchronizing signal $f3$, Tf is the time amount for the 1 field of the video signal 4 of Broadcast D, and Ts is the die length of the channel selection 2 performed after reception of the video signal 4 of Broadcast D is completed. Therefore, $Td + Tf + Ts$ serves as time amount from the criteria synchronizing signal $f3$ to time of day $t22$ (termination of channel selection 2).

[0039] Since $Tm2$ is remainder obtained as a result of carrying out division of this time amount $Td + Tf + Ts$ by Tf , as shown in drawing 7, it serves as time amount from criteria Vertical Synchronizing signal $f6$ to time of day $t22$.

[0040] Next, it progresses to step S15, and out of the phase contrast of the broadcast channel which has not determined sequence, an arithmetic circuit 24 asks for what [than $Tm2$ / larger] is the closest to $Tm2$, and still sets the channel corresponding to it to Q3.

[0041] That is, since, as for Channels CA and CD, the channel selection sequence is already determined in the case of the example of drawing 7, the channels which remain are CB and CC. Although the phase contrast Tb of Channel CB is larger than $Tm2$, the phase contrast Tc of Channel CC is smaller than $Tm2$. Then, in now, CB is set up as Q3. When this channel CB receives the video signal for the 1 field completely after processing of channel selection 2 is completed since it is a channel at which the head of a video signal arrives early most after ending channel selection processing (channel selection 2) in time of day $t22$, it will be called the channel which there is least latency time and ends.

[0042] Next, it progresses to step S16 and the remaining channels as which sequence is not determined yet are set up as a channel Q4 which should be received at the end (the 4th). In now, it is referred to as $Q4 = CC$.

[0043] In the channel selection sequence decision circuit 10, if channel selection sequence is determined as mentioned above, the determined channel selection sequence will be outputted to

a microcomputer 11 from the channel selection sequence decision circuit 10. According to this channel selection sequence, a microcomputer 11 controls the electronic tuning tuner 2, and performs channel selection actuation. That is, in now, a channel selection is performed in order of Channels CA, CD, CB, and CC. Consequently, it is incorporated one by one, respectively, and is reduced to small magnitude by the memory controller 9, and the video signal 1 of Broadcast A, the video signal 4 of Broadcast D, the video signal 6 of Broadcast B, and the video signal 9 of Broadcast C are again written in memory 5 at memory 5. Since it is outputted and displayed on CRT7 after the image written in memory 5 is read by the memory controller 9 and D/A conversion is carried out with D/A converter 6, as shown in drawing 2, a reduced screen is displayed by coincidence as a still picture on the multi-screen of one sheet. And renewal of sequential of each reduced screen is carried out in the determined sequence.

[0044] In addition, in the example of drawing 7, although channel selection sequence was determined in consideration of the channel select time, when considering the ideal condition that it is not necessary to take channel selection sequence into consideration the timing of a Vertical Synchronizing signal has such relation, as shown in drawing 8, sequential reception of the broadcast of each channel can be carried out without the latency time. In the example of drawing 8, after receiving the video signal 1 of Broadcast A, the video signal 1 of Broadcast D is received, next the video signal 2 of Broadcast C is received, and the video signal 3 of Broadcast B is received further.

[0045] In addition, phase contrast detection processing shown in drawing 4 and channel selection sequence decision processing shown in drawing 6 are always performed, and phase contrast is always updated. And new channel selection sequence is determined based on the updated phase contrast. It becomes possible to change two or more channels in order, and to receive by little latency time, efficiently, by doing in this way, also when a gap arises to the timing of the criteria synchronizing signal which the criteria synchronizing signal generator 22 generates or the generating timing of the Vertical Synchronizing signal of each broadcast changes to it for an electromagnetic interference and other reasons.

[0046] Drawing 9 expresses the example of a configuration at the time of applying this invention to the receiving set of a CATV system. In addition, in drawing 9, the electronic tuning tuner 42 thru/or CRT47, the memory controller 49, a microcomputer 51, and the input section 52 support the electronic tuning tuner 2 thru/or CRT7, the memory controller 9, the microcomputer 11, and the input section 12 of drawing 1, respectively. Moreover, in this example of a configuration, the electronic tuning tuner 31 is formed in addition to electronic tuning tuner 42, and it is made as [receive / the signal inputted through a cable]. The output of the electronic tuning tuner 31 is made as [detect / in the image detector circuit 32]. And the synchronizing signal detector 33 detects a synchronizing signal from the video signal which the image detector circuit 32 outputs, and is made as [output / to a microcomputer 51 and the channel selection circuit 34 / the detection result]. The channel selection circuit 34 controls the electronic tuning tuner 31 synchronizing with the detecting signal inputted from the synchronizing signal detector 33. Other configurations are the same as that of the case in drawing 1.

[0047] In the CATV system, as shown in drawing 10, for example, if four programs of Broadcast A thru/or Broadcast D shall be performed by Channels CA and CD, the location of the Vertical Synchronizing signal of the video signal of each broadcast channel is the same location (inphase). Then, in the electronic tuning tuner 2, even if it receives the video signal of which broadcast channel, the timing of the Vertical Synchronizing signal which arrives at a degree becomes the same. Therefore, the sequence of a channel selection does not pose a problem in this case. However, synchronizing with the Vertical Synchronizing signal included in the actually received image, it is made to perform time management for a channel selection. For this reason, in this example of a configuration, processing shown in the flow chart of drawing 11 is performed.

[0048] That is, a microcomputer 51 controls the electronic tuning tuner 31, and makes the default channel set up beforehand (it memorizes) receive in step S31 first. For example, Channel CA is received by the electronic tuning channel 31. The image detector circuit 32 detects the intermediate frequency signal which the electronic tuning tuner 31 outputs, and outputs an analog video signal to the synchronizing signal detector 33. The synchronizing signal detector 33

detects the Vertical Synchronizing signal included in the video signal inputted from the image detector circuit 32. The detecting signal of the Vertical Synchronizing signal detected in the synchronizing signal detector 33 is outputted to a microcomputer 51 and the channel selection circuit 34.

[0049] Then, in step S32, as for a microcomputer 51, it judges whether the synchronizing signal detector 33 has detected the Vertical Synchronizing signal. When the Vertical Synchronizing signal is detected, a microcomputer 51 continues reception actuation of Channel CA to the electronic tuning tuner 31, and it is made to perform it.

[0050] In step S32, when judged with the Vertical Synchronizing signal not being detected, it is possible that the electric wave of Channel CA was temporarily confused by a certain failure, or the broadcast itself was completed. Then, it progresses to step S33, and since a Vertical Synchronizing signal is no longer detected, a microcomputer 11 performs processing which judges whether return and a Vertical Synchronizing signal are detected by step S32, if it judges whether the predetermined time amount set up beforehand passed and predetermined time amount has not passed yet.

[0051] Thus, processing of steps S32 and S33 is repeatedly performed until predetermined time amount passes. Since the detecting signal of a synchronizing signal is not inputted into a microcomputer 51 in the meantime, control of the electronic tuning tuner 42 will be in the condition of the free run which does not synchronize with the Vertical Synchronizing signal included in the received video signal correctly.

[0052] In step S33, even if the predetermined time amount set up beforehand passes, when it is judged with a Vertical Synchronizing signal not being detected, it is thought that broadcast of Channel CA has been completed. Then, it progresses to step S34, and a microcomputer 51 controls the electronic tuning tuner 31, and makes a receiving channel changed in this case, so that other channels (for example, channel CB) may be received. And it progresses to step S35, the monitor of the output of the synchronizing signal detector 33 is carried out, and it judges whether the Vertical Synchronizing signal included in the video signal of Channel CB was detected. When a Vertical Synchronizing signal is detected, a microcomputer 51 continues Channel CB to the electronic tuning tuner 31, and it is made to receive it as it is. Thereby, a microcomputer 51 controls the channel selection timing of the electronic tuning tuner 42 synchronizing with the Vertical Synchronizing signal detected again. That is, a free run condition will be canceled by this.

[0053] Even if it receives Channel CB, when a Vertical Synchronizing signal was not detected and it is judged in step S35, it progresses to step S36 and it is judged whether the Vertical Synchronizing signal was detected by any channels. When the channel which is not searched still remains, return and the following channel (for example, the channel CC) are made to change a receiving channel to step S34. And the same actuation as the case where it mentions above is performed. In step S36, when judged with the ability of a Vertical Synchronizing signal not to be detected also when which channel is received, it judges with what the broadcast in all channels has ended, and processing is ended.

[0054] If the electronic tuning tuner 42 is controlled synchronizing with the Vertical Synchronizing signal which the microcomputer 51 received as mentioned above, the electronic tuning tuner 42 can be made to carry out sequential reception of the video signal of each broadcast channel efficiently (lessening the latency time), as shown in drawing 10. in the example of drawing 10, although the channel selection shall have taken the time amount of the 1 field, after the video signal 1 of Broadcast A is received first, channel selection 1 should be performed over the time amount for the 1 field, and pass the latency time (latency time 1) corresponding to a Vertical Synchronizing signal in this example, -- the video signal 3 of Broadcast B is received. Then, Broadcast C is received and the video signal 5 of Broadcast C is received by channel selection 2 through the predetermined latency time.

[0055] Thus, a multi-screen as shown in drawing 2 is displayed on CRT47 like the case in CRT7 of drawing 1.

[0056] In addition, although the Vertical Synchronizing signal was detected above, you may make it detect a Horizontal Synchronizing signal. Moreover, this invention can be applied terrestrial

broadcast and not only a CATV system but when receiving satellite broadcasting service, digital broadcasting, etc.

[0057]

[Effect of the Invention] Since the sequence of a channel selection was determined like the above corresponding to the phase contrast of two or more channels according to the receiving set according to claim 1 and the receiving approach according to claim 6, when changing the signal of two or more channels periodically and receiving, the latency time can be lessened, and informational lack can be controlled so much.

[0058] According to a receiving set according to claim 7 and the receiving approach according to claim 9 Since the signal of one fixed channel is received and the signal of two or more channels was periodically changed out of two or more channels synchronizing with the synchronizing signal of the signal of the channel When changing the signal of two or more channels of an inphase periodically and receiving, the latency time is lessened, and it becomes possible to change a channel efficiently.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

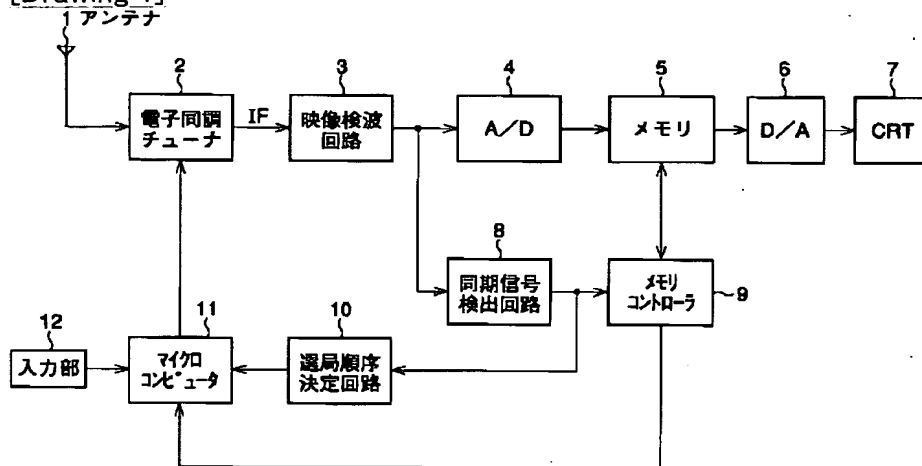
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

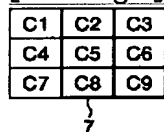
3.In the drawings, any words are not translated.

DRAWINGS

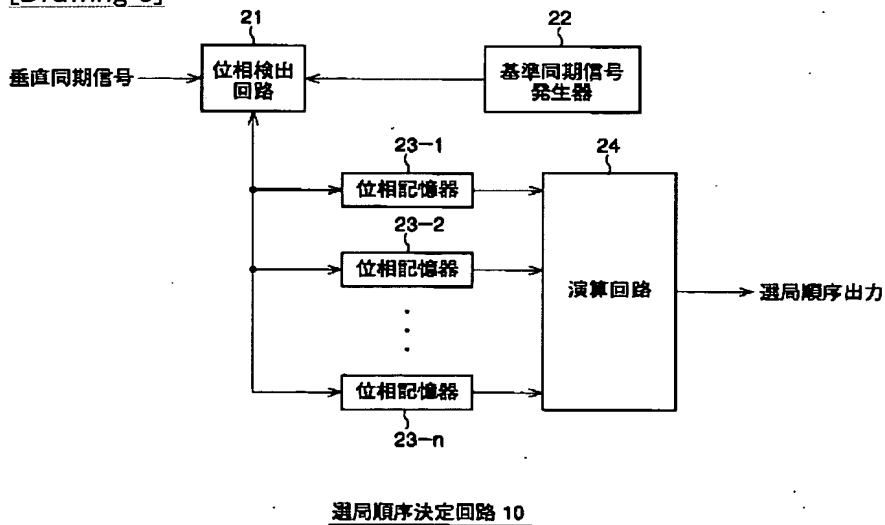
[Drawing 1]



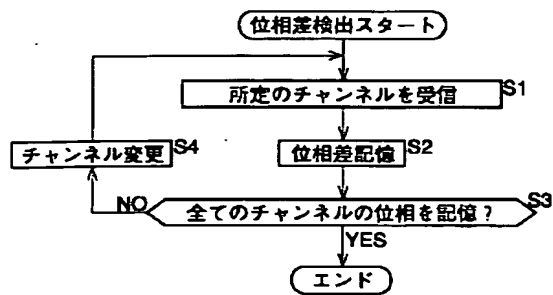
[Drawing 2]



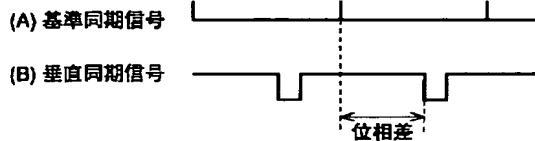
[Drawing 3]



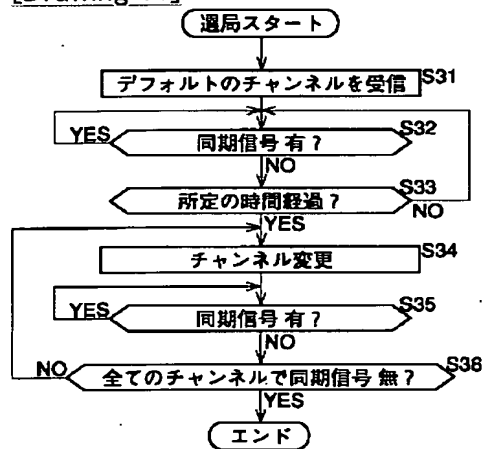
[Drawing 4]



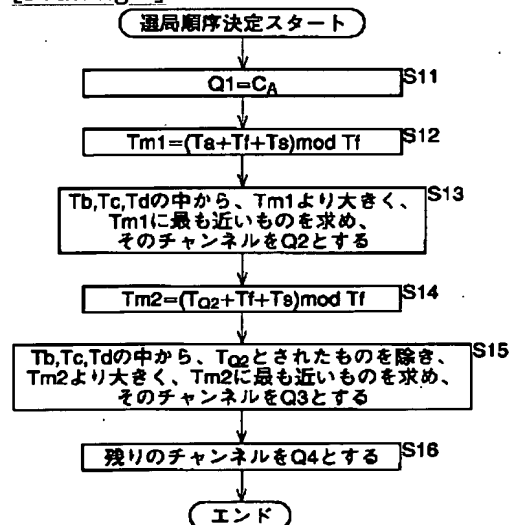
[Drawing 5]



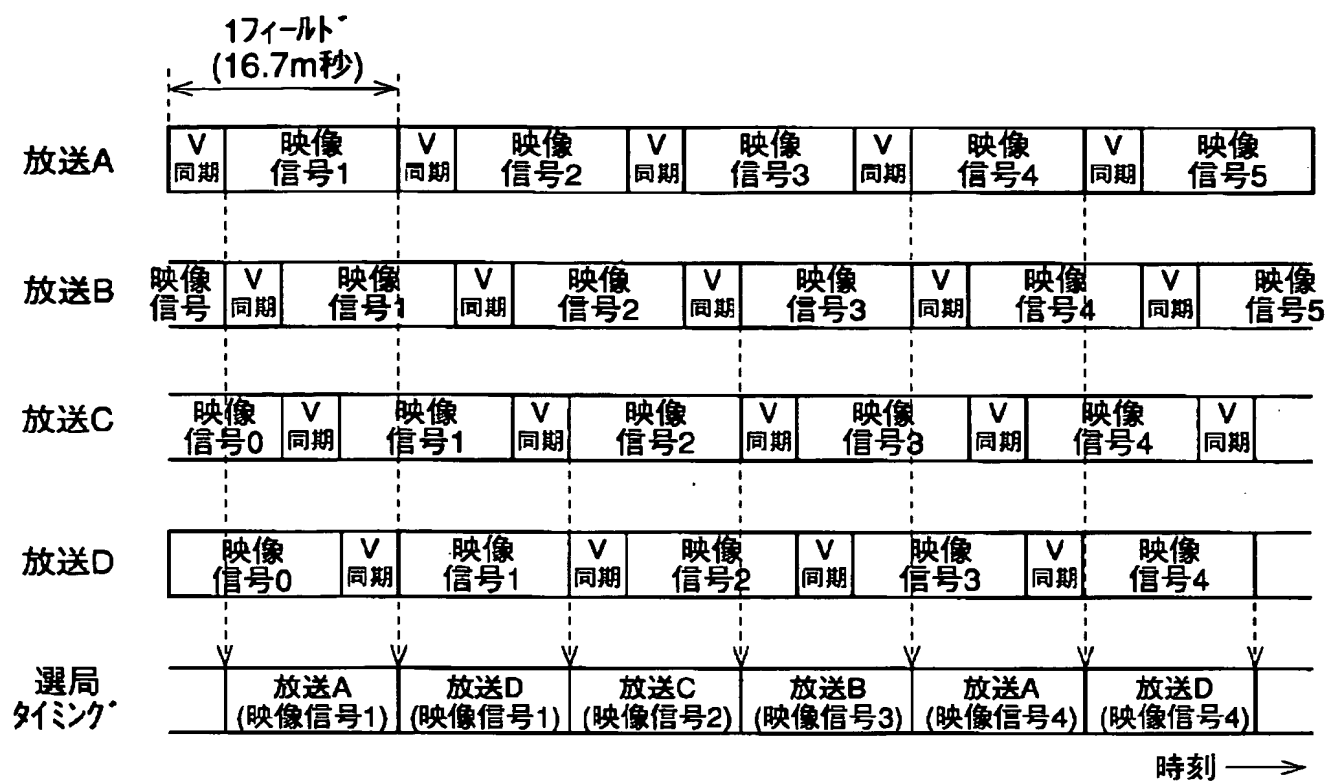
[Drawing 11]



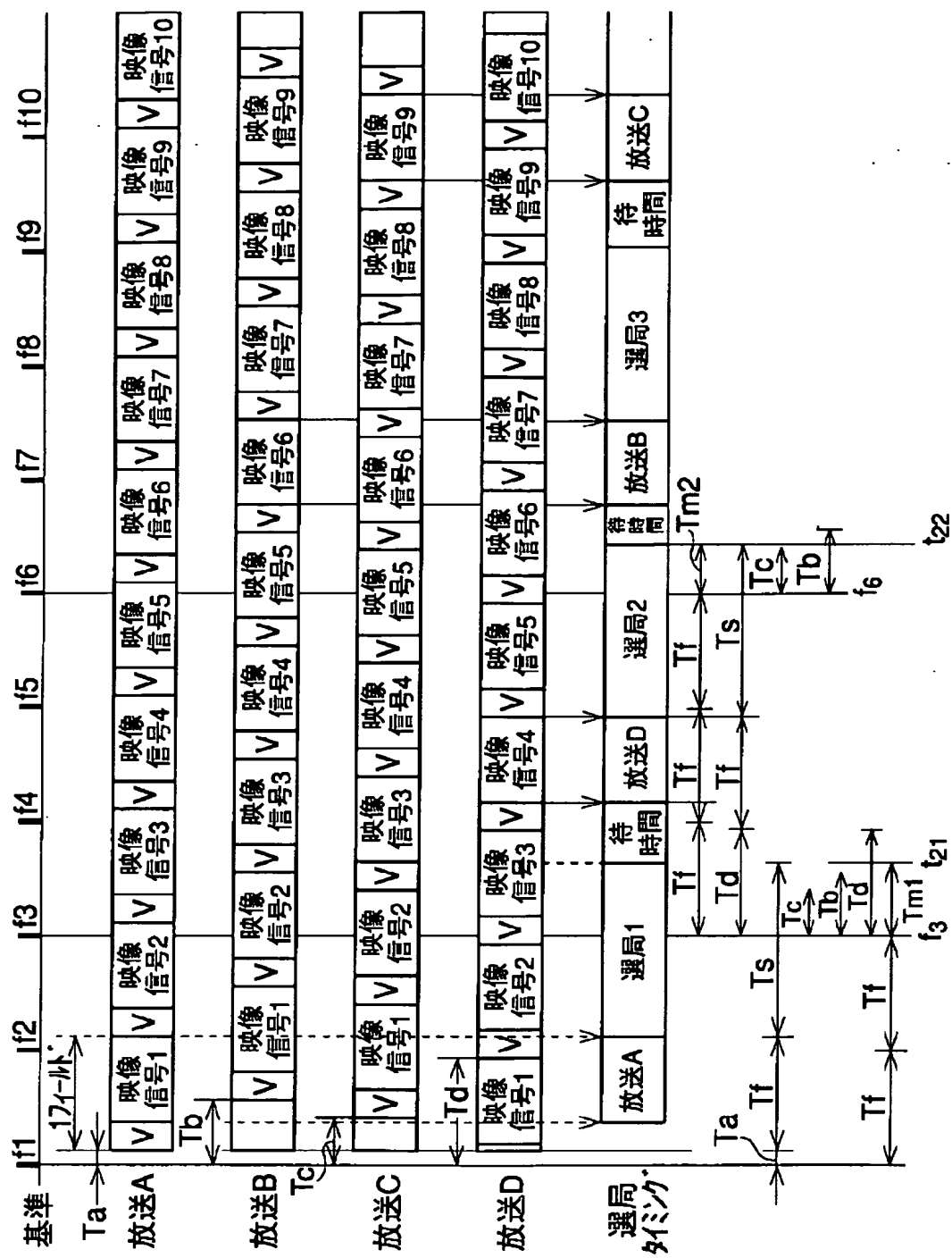
[Drawing 6]



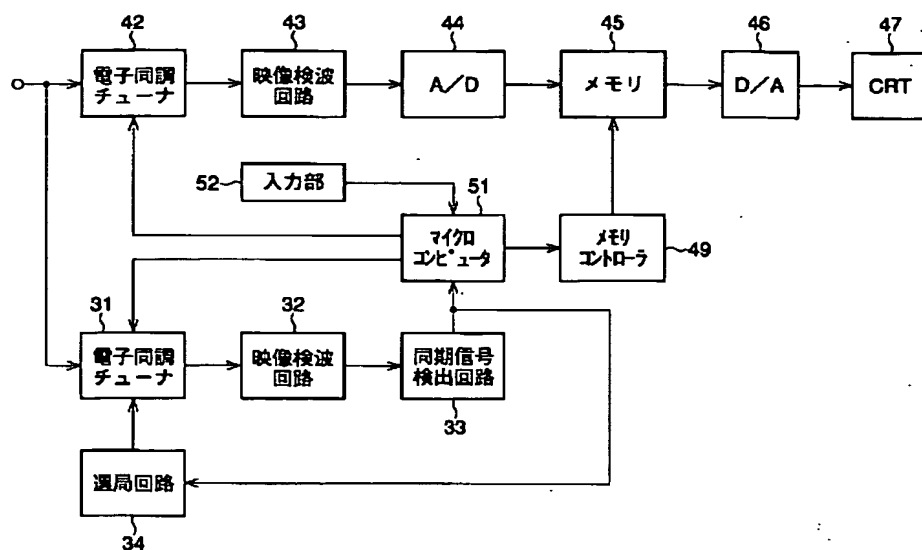
[Drawing 8]



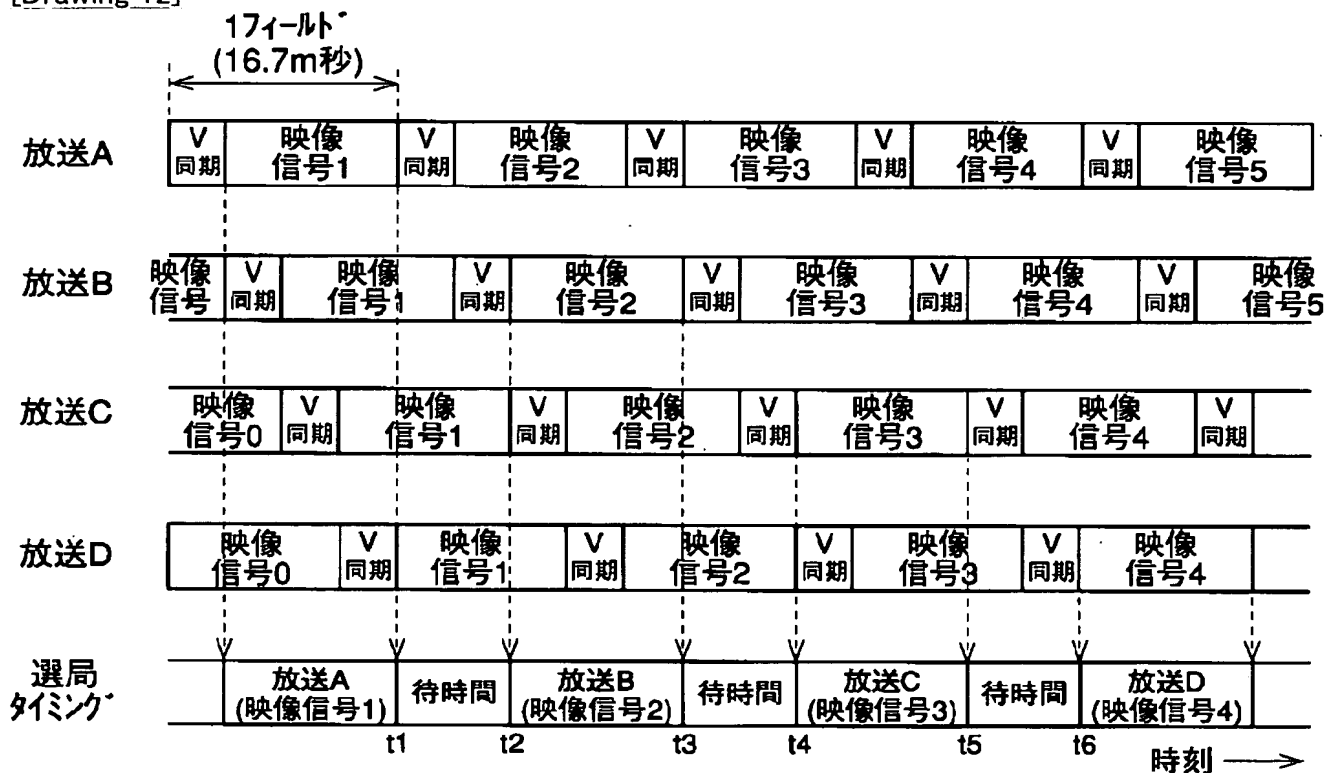
[Drawing 7]



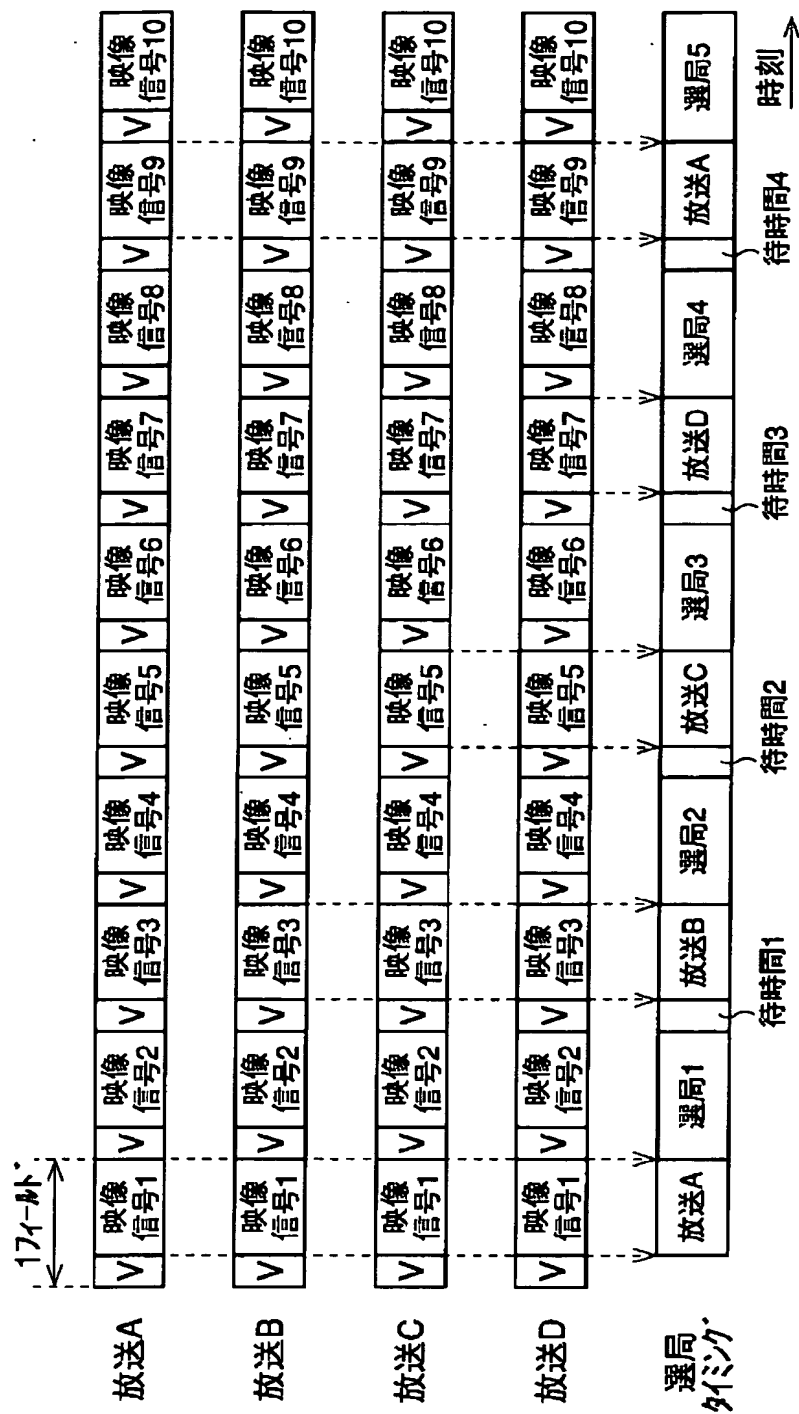
[Drawing 9]



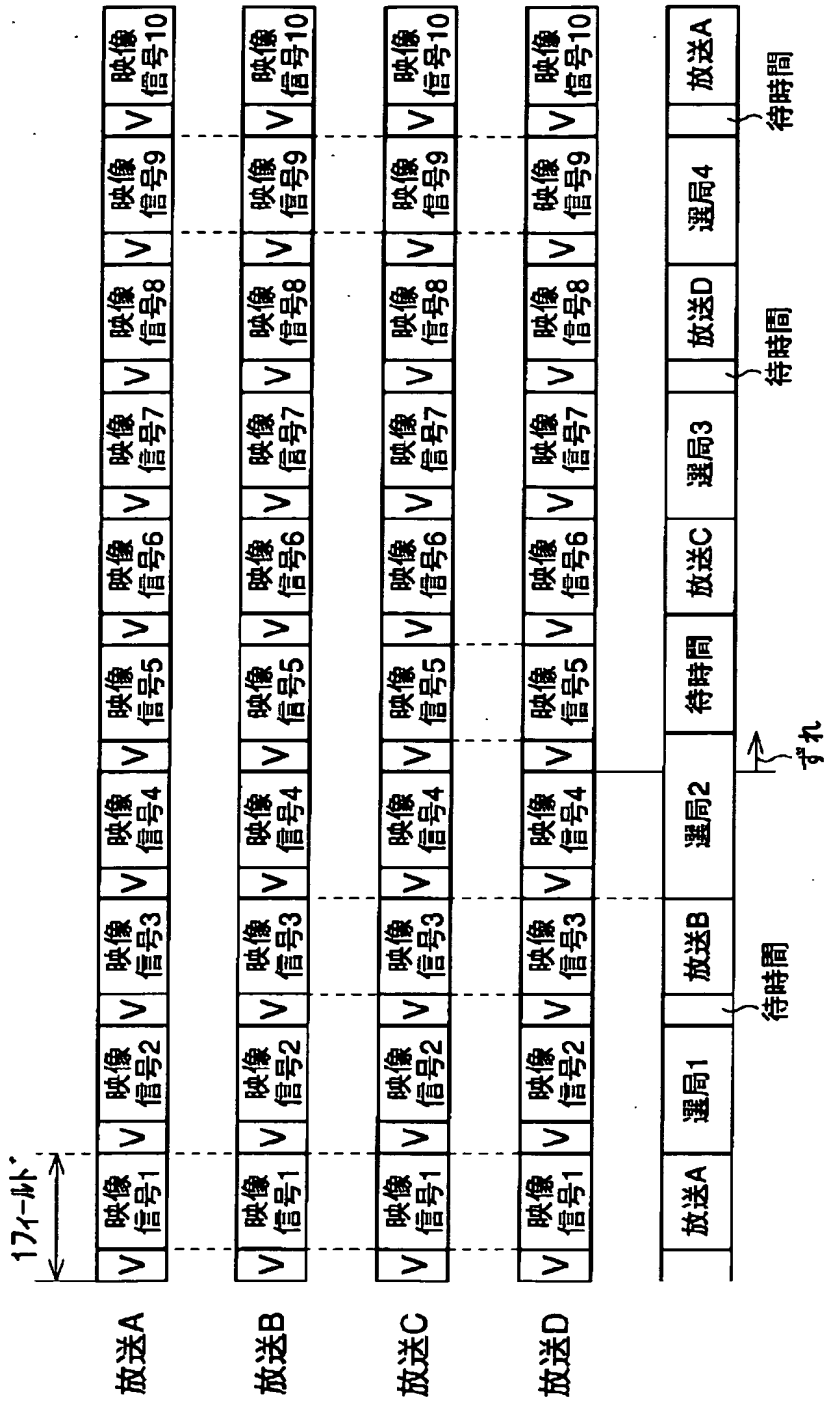
[Drawing 12]



[Drawing 10]



[Drawing 13]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-243304

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

H 0 4 N 5/44

H 0 3 J 7/18

識別記号

F I

H 0 4 N 5/44

H 0 3 J 7/18

J

審査請求 未請求 請求項の数9 O L (全 13 頁)

(21) 出願番号 特願平9-46139

(22) 出願日 平成9年(1997) 2月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 太田 正志

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

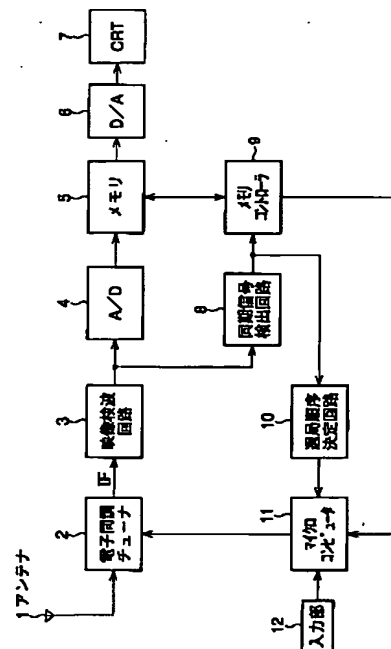
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 受信装置および方法

(57) 【要約】

【課題】 複数のチャンネルを周期的に切り替えて受信する場合において、切り替えの待ち時間をできるだけ少なくする。

【解決手段】 電子同調チューナ2で、複数のチャンネルを所定の順番で周期的に切り替えて受信させ、これをメモリ5でマルチ画面の静止画として取り込み、CRT7に表示させる。選局順序決定回路10は、同期信号検出回路8が検出する垂直同期信号の供給を受け、各チャンネルの垂直同期信号の位相差を検出する。そして、その位相差と選局に要する時間、並びに1フィールドの時間から、選局動作終了後、最初に映像信号の先頭部分が到来するチャンネルを決定し、そのチャンネルを次に選局すべきチャンネルとして決定する。



【特許請求の範囲】

【請求項 1】 複数のチャンネルの信号を周期的に切り替えて受信する受信装置において、
複数の前記チャンネルの信号中の同期信号の位相差を検出する検出手段と、
前記位相差に対応して複数の前記チャンネルの選局の順番を決定する決定手段と、
決定された前記順番で、複数の前記チャンネルの信号を周期的に受信する受信手段とを備えることを特徴とする受信装置。

【請求項 2】 検出した前記位相差を記憶する記憶手段をさらに備えることを特徴とする請求項 1 に記載の受信装置。

【請求項 3】 前記検出手段は、複数の前記チャンネルをサーチして、各チャンネルの信号中の同期信号の位相差を検出することを特徴とする請求項 1 に記載の受信装置。

【請求項 4】 前記検出手段は、映像信号の垂直同期信号の位相差を検出することを特徴とする請求項 1 に記載の受信装置。

【請求項 5】 前記決定手段は、前記映像信号のフィールド周期と選局に要する時間とをさらに勘案して前記順番を決定することを特徴とする請求項 1 に記載の受信装置。

【請求項 6】 複数のチャンネルの信号を周期的に切り替えて受信する受信方法において、
複数の前記チャンネルの信号中の同期信号の位相差を検出するステップと、
前記位相差に対応して複数の前記チャンネルの選局の順番を決定するステップと、
決定された前記順番で、複数の前記チャンネルの信号を周期的に受信するステップとを備えることを特徴とする受信方法。

【請求項 7】 同期信号が同相の複数のチャンネルの信号を周期的に切り替えて受信する受信装置において、
複数の前記チャンネルの信号を周期的に受信する第 1 の受信手段と、
複数の前記チャンネルの中から、固定された所定の 1 つのチャンネルの信号を受信する第 2 の受信手段と、
前記第 2 の受信手段により受信されたチャンネルの信号の同期信号を検出する検出手段と、
検出された前記同期信号に同期して前記第 1 の受信手段の選局動作を制御する制御手段とを備えることを特徴とする受信装置。

【請求項 8】 前記検出手段により前記同期信号が検出されないとき、前記第 2 の受信手段による受信チャンネルを他のチャンネルに切り替える切り替え手段をさらに備えることを特徴とする請求項 7 に記載の受信装置。

【請求項 9】 同期信号が同相の複数のチャンネルの信号を周期的に切り替えて受信する受信方法において、

複数の前記チャンネルの信号を周期的に受信する第 1 の受信ステップと、
複数の前記チャンネルの中から、固定された所定の 1 つのチャンネルの信号を受信する第 2 の受信ステップと、
前記第 2 の受信ステップで受信されたチャンネルの信号の同期信号を検出する検出ステップと、
検出された前記同期信号に同期して前記第 1 の受信ステップの選局動作を制御する制御ステップとを備えることを特徴とする受信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、受信装置および方法に関し、特に、複数のチャンネルの信号を周期的に切り替えて受信する場合において、切り替え時における情報の欠落を少なくするようにした、受信装置および方法に関する。

【0002】

【従来の技術】最近のテレビジョン受像機の中には、複数のチャンネルのテレビジョン放送の信号を順次受信して、これを縮小した静止画として、マルチ画面上に同時に表示する機能を有するものがある。このような付加機能を有するテレビジョン受像機においては、1 つのマルチ画面上に、各放送局で放送されている番組の画像を縮小した画像が、静止画として同時に表示される。従って、ユーザは、各チャンネルにおいて、どのような番組がいま放送されているのかを、実際の画像を見ながら確認することができ、その中から所望の番組を選択することができる。

【0003】

【発明が解決しようとする課題】ところで、このような付加機能を有するテレビジョン受像機においては、放送されている番組の画像は、時々刻々と変化するもので、所定の数のチャンネルを一通り受信した後、再び、各チャンネルの信号を順次受信する動作を繰り返す必要がある。

【0004】しかしながら、従来のテレビジョン受像機においては、その受信するチャンネルの順番を、第 1 チャンネル、第 3 チャンネル、第 4 チャンネル、第 6 チャンネル、第 8 チャンネル、第 10 チャンネル、第 12 チャンネルといったように、チャンネル番号の順番としていた。各チャンネルの映像信号は、相互に同期したものではない。その結果、例えば、図 12 に示すように、チャンネル A（放送 A）の映像信号 1 を受信した後、次の順番の放送 B（チャンネル B）の映像信号 2 を受信しようとする、放送 A の映像信号 1 のフィールドが、時刻 t1 において終了した後、放送 B の映像信号 2 のフィールドが、時刻 t2 において始まるまでの間、待ち時間が発生してしまうことになる。

【0005】すなわち、いま、選局のために必要な時間は無視するものとする、例えば、時刻 t1 において、

10

20

30

40

50

放送Aの映像信号1の受信が終了したタイミングにおいて、直ちに放送Bの映像信号1の受信状態に切り替えることが可能ではあるが、時刻t1においては、放送Bの映像信号1の途中となっている。そこで、時刻t1で切り替えた場合には、放送Bの映像信号1のフィールドをすべて受信することができない。従って、放送Bの次の映像信号2のフィールドが開始する時刻t2まで、表示の切り替えを待機しなければならない。

【0006】さらにまた、CATVシステムにおいては、図13に示すように、各チャンネルの同期信号が同相となっている。すなわち、例えば、放送A乃至放送Dの垂直同期信号（図中、Vの記号で示す）が対応する位置にある。従って、例えば、放送Aの映像信号1を受信した後、直ちに、次の放送Bの選局動作を選局1として行くと、この選局動作に、例えば、1フィールドの時間がかかるものとすると、垂直同期信号の期間に対応する待ち時間を経た後、放送Bの映像信号3を受信することができる。

【0007】しかしながら、従来の受信装置では、選局動作を実行させる場合における、その時間の管理を、受信した映像信号とは独立に行うようにしているため、選局のための（1フィールドの）時間の長さが、受信した映像信号の時間の長さとはずれ、最悪の場合、図13において選局2として示すように、本来ならば、放送Cの映像信号5を受信できるタイミングにおいて、選局2の動作を終了させることができず、結局、放送Cの映像信号5の放送が開始されてしまった後に、選局2の動作が終了されることになる。このような場合、放送Cの映像信号5の途中で画像を切り替えることができないので、結局、次の映像信号6まで、画像の切り替えを待機する必要が生じる。その結果、待ち時間が長くなり、映像（映像信号5）の欠落が多くなる。

【0008】本発明はこのような状況に鑑みてなされたものであり、選局切替時における待ち時間ができるだけ短くなるようにして、情報の欠落を抑制するようにするものである。

【0009】

【課題を解決するための手段】請求項1に記載の受信装置は、複数のチャンネルの信号中の同期信号の位相差を検出する検出手段と、位相差に対応して複数のチャンネルの選局の順番を決定する決定手段と、決定された順番で、複数のチャンネルの信号を周期的に受信する受信手段とを備えることを特徴とする。

【0010】請求項6に記載の受信方法は、複数のチャンネルの信号中の同期信号の位相差を検出するステップと、位相差に対応して複数のチャンネルの選局の順番を決定するステップと、決定された順番で、複数のチャンネルの信号を周期的に受信するステップとを備えることを特徴とする。

【0011】請求項7に記載の受信装置は、複数のチャ

ネルの信号を周期的に受信する第1の受信手段と、複数のチャンネルの中から、固定された所定の1つのチャンネルの信号を受信する第2の受信手段と、第2の受信手段により受信されたチャンネルの信号の同期信号を検出する検出手段と、検出された同期信号に同期して第1の受信手段の選局動作を制御する制御手段とを備えることを特徴とする。

【0012】請求項9に記載の受信方法は、複数のチャンネルの信号を周期的に受信する第1の受信ステップと、複数のチャンネルの中から、固定された所定の1つのチャンネルの信号を受信する第2の受信ステップと、第2の受信ステップで受信されたチャンネルの信号の同期信号を検出する検出ステップと、検出された同期信号に同期して第1の受信ステップの選局動作を制御する制御ステップとを備えることを特徴とする。

【0013】請求項1に記載の受信装置および請求項6に記載の受信方法においては、複数のチャンネルの信号中の同期信号の位相差に対応して選局の順番が決定される。

【0014】請求項7に記載の受信装置および請求項9に記載の受信方法においては、固定された1つのチャンネルの信号の同期信号が検出され、その同期信号に同期して周期的に行われる選局動作が制御される。

【0015】

【発明の実施の形態】以下に本発明の実施の形態を説明するが、特許請求の範囲に記載の発明の各手段と以下の実施の形態との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施の形態（但し一例）を付加して本発明の特徴を記述すると、次のようになる。但し勿論この記載は、各手段を記載したものに限定することを意味するものではない。

【0016】請求項1に記載の受信装置は、複数のチャンネルの信号中の同期信号の位相差を検出する検出手段（例えば、図1の同期信号検出回路8）と、位相差に対応して複数のチャンネルの選局の順番を決定する決定手段（例えば、図1の選局順序決定回路10）と、決定された順番で、複数のチャンネルの信号を周期的に受信する受信手段（例えば、図1の電子同調チューナ2）とを備えることを特徴とする。

【0017】請求項2に記載の受信装置は、検出した位相差を記憶する記憶手段（例えば、図3の位相記憶器23-1乃至23-n）をさらに備えることを特徴とする。

【0018】請求項7に記載の受信装置は、複数のチャンネルの信号を周期的に受信する第1の受信手段（例えば、図9の電子電子同調チューナ42）と、複数のチャンネルの中から、固定された所定の1つのチャンネルの信号を受信する第2の受信手段（例えば、図9の電子同調チューナ31）と、第2の受信手段により受信されたチャンネルの信号の同期信号を検出する検出手段（例え

ば、図9の同期信号検出回路33)と、検出された同期信号に同期して第1の受信手段の選局動作を制御する制御手段(例えば、図9のマイクロコンピュータ51)とを備えることを特徴とする。

【0019】請求項8に記載の受信装置は、検出手段により同期信号が検出されないとき、第1の受信手段による受信チャンネルを他のチャンネルに切り替える切り替え手段(例えば、図11のステップS34)をさらに備えることを特徴とする。

【0020】図1は、本発明の受信装置を応用した、テレビジョン受像機の構成例を表している。電子同調チューナ2は、アンテナ1を介して放送電波を受信し、これを復調して中間周波信号として、映像検波回路3に出力するようになされている。映像検波回路3は、入力された中間周波信号を復調し、アナログ映像信号として、A/D変換器4と同期信号検出回路8に出力する。A/D変換器4は、入力された映像信号をA/D変換して、メモリ5に出力している。メモリ5は、A/D変換器4より供給されたデジタル映像信号を1フィールド分(1画面分)記憶するようになされている。D/A変換器6は、メモリ5より読みだされたデジタル映像信号をアナログ映像信号に変換して、CRT7に出力するようになされている。

【0021】同期信号検出回路8は、映像検波回路3より供給されたアナログ映像信号中に含まれる垂直同期信号を検出し、その検出結果を、メモリコントローラ9と選局順序決定回路10に出力している。メモリコントローラ9は、同期信号検出回路8より供給される検出信号に対応して、メモリ5を制御するようになされている。また、メモリコントローラ9は、メモリ5に記憶された1フィールド分の画像の大きさを、例えば1/3に縮小して、縮小した画像のデータをメモリ5の所定の位置に書き込むようになされている。そして、メモリコントローラ9は、9チャンネル分の番組の画像を、それぞれ縮小して、1つのマルチ画面のデータとし、これをメモリ5に書き込むようになされている。その結果、CRT7には、例えば、図2に示すように、1つのマルチ画面内に9個の番組の静止画像が縮小されて表示されるようになされている。

【0022】選局順序決定回路10は、同期信号検出回路8の出力する検出信号の入力を受け、各チャンネルの同期信号の位相差を検出して、この位相差から選局順序を決定し、決定した結果をマイクロコンピュータ11に出力するようになされている。マイクロコンピュータ11は、選局順序決定回路10からの入力に対応して電子同調チューナ2を制御し、所定の順番で選局動作を行わせるようになされている。このマイクロコンピュータ11にはまた、1チャンネル分の画像データのメモリ5への書き込みが完了したタイミングを表すタイミング信号が、メモリコントローラ9から供給されるようになされ

ている。入力部12は、マイクロコンピュータ11に対して各種の指令を入力するとき、ユーザにより操作されるようになされている。

【0023】図3は、選局順序決定回路10の構成例を表している。位相検出回路21は、同期信号検出回路8より供給された垂直同期信号の検出信号と、基準同期信号発生器22が出力する基準同期信号の位相差を各チャンネル毎に検出し、その位相差に対応する信号を位相記憶器23-1乃至23-nに供給するようになされている。位相記憶器23-1乃至23-nは、各チャンネルの映像信号に含まれる垂直同期信号の基準同期信号発生器22が発生する基準同期信号に対する位相差を記憶するようになされている。演算回路24は、位相記憶器23-1乃至23-nに記憶されている位相差に対応して、選局順序を演算し、演算された結果(選局順序)をマイクロコンピュータ11に出力するようになされている。

【0024】次に、その動作について説明する。入力部12を操作して、図2に示すようなマルチ画面の表示の指令を入力すると、マイクロコンピュータ11は、図4のフローチャートに示す処理を実行する。最初に、ステップS1において、マイクロコンピュータ11は、電子同調チューナ2を制御し、所定のチャンネルの放送電波を受信させる。電子同調チューナ2は、マイクロコンピュータ11からの制御信号に対応して、指定されたチャンネルの放送電波を受信し、その中間周波信号を映像検波回路3に出力する。映像検波回路3は、入力された中間周波信号を検波し、アナログ映像信号を同期信号検出回路8に出力する。同期信号検出回路8は、入力された映像信号中に含まれる垂直同期信号を検出する。同期信号検出回路8は、この垂直同期信号に対応した信号を選局順序決定回路10に供給する。

【0025】選局順序決定回路10においては、同期信号検出回路8より供給された垂直同期信号の検出信号を、位相検出回路21で受け取る。位相検出回路21は、この垂直同期信号の検出信号(図5(B))と、基準同期信号発生器22が発生する基準同期信号(図5(A))の位相差を検出する。この位相差は、図5に示すように、基準同期信号の発生タイミングから垂直同期信号の立下りのタイミングまでの時間として検出される。検出された位相差は、ステップS2において、位相記憶器23-1に記憶される。

【0026】次にステップS3に進み、マイクロコンピュータ11は、すべてのチャンネルの位相差を記憶したか否かを判定し、まだ記憶していないチャンネルが残っていると判定した場合には、ステップS4に進み、受信するチャンネルを変更する処理を実行する。そして、ステップS1に戻り、変更したチャンネルを受信させるように、電子同調チューナ2を制御する。

【0027】このようにして、次のチャンネルの映像信

号が、映像検波回路3より出力されると、同期信号検出回路8で、その垂直同期信号が検出される。位相検出回路21は、この垂直同期信号と、基準同期信号発生器22が発生する基準同期信号の位相差を検出する。この位相差は、位相記憶器23-2に記憶される。

【0028】以上のような動作が繰り返されて、位相記憶器23-1乃至23-nに、すべてのチャンネルの位相差が記憶されたと、ステップS3で判定された場合、位相差検出処理が終了される。

【0029】以上のようにして、各放送チャンネルの垂直同期信号の基準同期信号に対する位相差がサーチされると、次に、演算回路24において、選局順序を決定する演算が行われる。この選局順序決定の処理について、図6のフローチャートを参照して説明する。なお、説明の便宜上、いま、図7に示すように、チャンネルC_a乃至C_eにおいて、放送A乃至放送Dが、それぞれ放送されているものとする。そして、位相記憶器23-1乃至23-4には、放送A乃至放送Dの映像信号中の垂直同期信号の基準垂直同期信号からの位相差T_a乃至T_dが、それぞれ記憶されているものとする。

【0030】最初に、ステップS11において、演算回路24は、選局順位1番のチャンネルQ1として、位相差検出処理において最初に受信されたチャンネルC_aを設定する。次に、ステップS12に進み、次式に従って、T_{m1}を演算する。

$$T_{m1} = (T_a + T_f + T_s) \bmod T_f$$

【0031】ここで、T_fは1フィールドの時間(約16.7ms)を表し、T_sは電子チューナ2で選局のために必要な時間を表している。

【0032】すなわち、T_{m1}には、T_a+T_f+T_sをT_fで割算した結果得られた余りが設定される。このT_{m1}の意味について、図7を参照して説明すると、次のようになる。

【0033】すなわち、いま例えば、基準垂直同期信号f₁から、放送Aの垂直同期信号(V)の先頭までの時間がT_aであるとする、これに1フィールド分の時間T_fを加算した時間は、基準垂直同期信号f₁から、放送Aの映像信号1の最後までの時間に等しくなる。さらに、この時間T_a+T_fに、選局に必要な時間T_sを加算すると、基準垂直同期信号f₁から時刻t₂₁までの時間が、T_a+T_f+T_sとなる。T_{m1}は、このT_a+T_f+T_sをT_fで割算した結果得られる余りであるから、図7においては、基準垂直同期信号f₁から時刻t₂₁(選局1の終了時刻)までの時間となる。

【0034】次に、ステップS13に進み、演算回路24は、既に順位を決定した放送チャンネルC_aを除く、残りの3つのチャンネルC_b、C_c、C_dの、それぞれの位相差T_b、T_c、T_dの中から、ステップS12で求めたT_{m1}より大きく、かつT_{m1}に最も近いものを求める。そして、その求めた位相差が対応するチャンネルを

第2番目に選局するチャンネルQ2とする。

【0035】図7の例においては、T_bとT_cは、T_{m1}より短く、T_dだけが、T_{m1}より大きい。そこで、この場合においては、T_dのチャンネルC_dがQ2とされる。すなわち、このチャンネルC_dが、選局処理(選局1)終了後、最も早く映像信号の先頭が到来するチャンネルであるということになる。

【0036】次に、ステップS14に進み、第3番目に選局すべきチャンネルを決定するために次式を演算する。

$$T_{m2} = (T_{\omega} + T_f + T_s) \bmod T_f$$

【0037】なお、ここでT_ωは、ステップS13でQ2として設定されたチャンネルの位相差を表し、図7の例の場合、T_ω=T_dとなる。

【0038】図7に示すように、T_dは、基準垂直同期信号f₁から放送Dの映像信号4の直前の垂直同期信号が開始するまでの時間であり、T_fは、放送Dの映像信号4の1フィールド分の時間であり、T_sは、放送Dの映像信号4の受信が終了した後に行われる選局2の長さである。従って、T_d+T_f+T_sは、基準同期信号f₁から時刻t₂₂(選局2の終了)までの時間となる。

【0039】T_{m2}は、この時間T_d+T_f+T_sを、T_fで割算した結果得られる余りであるから、図7に示すように、基準垂直同期信号f₁から時刻t₂₂までの時間となる。

【0040】次に、ステップS15に進み、演算回路24は、まだ、順序を決定していない放送チャンネルの位相差の中から、T_{m2}より大きくT_{m2}に最も近いものを求め、それに対応するチャンネルをQ3とする。

【0041】すなわち、図7の例の場合、チャンネルC_a、C_bは、既に、その選局順序が決定されているので、残っているチャンネルは、C_cとC_dである。チャンネルC_bの位相差T_bは、T_{m2}より大きい、チャンネルC_cの位相差T_cは、T_{m2}より小さい。そこで、いまの場合、Q3として、C_cが設定される。このチャンネルC_cは、時刻t₂₂において選局処理(選局2)を終了した後、最も早く映像信号の先頭が到来するチャンネルであるから、選局2の処理が終了した後、1フィールド分の映像信号を完全に受信する場合に、最も待ち時間が少なく済むチャンネルということになる。

【0042】次に、ステップS16に進み、まだ順序が決定されていない残りのチャンネルが、最後に(第4番目に)受信すべきチャンネルQ4として設定される。いまの場合、Q4=C_dとされる。

【0043】選局順序決定回路10において、以上のようにして、選局順序が決定されると、その決定された選局順序が、選局順序決定回路10からマイクロコンピュータ11に出力される。マイクロコンピュータ11は、この選局順序に従って、電子同調チューナ2を制御し、選局動作を実行させる。すなわち、いまの場合、チャン

ネルC_A、C_B、C_C、C_Dの順序で選局が行われる。その結果、メモリ5には、放送Aの映像信号1、放送Dの映像信号4、放送Bの映像信号6、放送Cの映像信号9が、それぞれ順次取り込まれ、メモリコントローラ9により小さい大きさに縮小され、再びメモリ5に書き込まれる。メモリ5に書き込まれた画像が、メモリコントローラ9により読み出され、D/A変換器6でD/A変換された後、CRT7に出力され、表示されるので、図2に示したように、1枚のマルチ画面上に縮小画面が、静止画として同時に表示される。そして、各縮小画面は、決定した順序で順次更新される。

【0044】なお、図7の例においては、選局時間を考慮して、選局順序を決定するようにしたが、選局順序を考慮する必要がない、理想的な状態を考えると、垂直同期信号のタイミングが、そのような関係になっている場合には、図8に示すように、待ち時間無しで、各チャンネルの放送を、順次受信することができる。図8の例では、放送Aの映像信号1を受信した後、放送Dの映像信号1が受信され、次に、放送Cの映像信号2が受信され、さらに、放送Bの映像信号3が、受信される。

【0045】なお、図4に示す位相差検出処理と、図6に示す選局順序決定処理は、常に行われており、位相差は常に更新される。そして、更新された位相差に基づいて、新たな選局順序が決定される。このようにすることで、基準同期信号発生器22の発生する基準同期信号のタイミングにずれが生じたり、各放送の垂直同期信号の発生タイミングが、電波障害、その他の理由により変化したような場合にも、効率的に、少ない待ち時間で、複数のチャンネルを順番に切り替え、受信することが可能となる。

【0046】図9は、本発明をCATVシステムの受信装置に適用した場合の構成例を表している。なお、図9において、電子同調チューナ42乃至CRT47、メモリコントローラ49、マイクロコンピュータ51、および入力部52は、図1の電子同調チューナ2乃至CRT7、メモリコントローラ9、マイクロコンピュータ11、および入力部12にそれぞれ対応している。また、この構成例においては、電子同調チューナ42以外に、電子同調チューナ31が設けられ、ケーブルを介して入力される信号を受信するようになされている。電子同調チューナ31の出力は、映像検波回路32で検波されるようになされている。そして、同期信号検出回路33は、映像検波回路32が出力する映像信号から同期信号を検出し、その検出結果をマイクロコンピュータ51と選局回路34に出力するようになされている。選局回路34は、同期信号検出回路33から入力される検出信号に同期して、電子同調チューナ31を制御する。その他の構成は、図1における場合と同様である。

【0047】CATVシステムにおいては、図10に示すように、例えば、放送A乃至放送Dの4つの放送番組

が、チャンネルC_A乃至C_Dで行われているものとする。と、各放送チャンネルの映像信号の垂直同期信号の位置は、同一の位置（同相）となっている。そこで、電子同調チューナ2において、いずれの放送チャンネルの映像信号を受信したとしても、次に到来する垂直同期信号のタイミングは同一となる。従って、この場合には、選局の順番は問題とならない。ただし、選局のための時間管理を、実際に受信している映像中に含まれる垂直同期信号に同期して行うようにする。このため、この構成例では、図11のフローチャートに示す処理が実行される。

【0048】すなわち、最初にステップS31において、マイクロコンピュータ51は、電子同調チューナ31を制御し、予め設定されている（記憶されている）デフォルトのチャンネルを受信させる。例えば、チャンネルC_Aが、電子同調チャンネル31で受信される。映像検波回路32は、電子同調チューナ31が出力する中間周波信号を検波し、アナログ映像信号を同期信号検出回路33に出力する。同期信号検出回路33は、映像検波回路32より入力される映像信号に含まれる垂直同期信号を検出する。同期信号検出回路33で検出された垂直同期信号の検出信号は、マイクロコンピュータ51と選局回路34に出力される。

【0049】そこで、マイクロコンピュータ51は、ステップS32において、同期信号検出回路33が、垂直同期信号を検出しているか否かを判定する。垂直同期信号が検出されている場合には、マイクロコンピュータ51は、電子同調チューナ31に、チャンネルC_Aの受信動作を継続して実行させる。

【0050】ステップS32において、垂直同期信号が検出されていないと判定された場合、例えば、チャンネルC_Aの電波が、何らかの故障により一時的に乱れるか、あるいは、放送自体が終了したことが考えられる。そこで、ステップS33に進み、マイクロコンピュータ11は、垂直同期信号が検出されなくなってから、予め設定してある所定の時間が経過したか否かを判定し、まだ所定の時間が経過していなければ、ステップS32に戻り、垂直同期信号が検出されているか否かを判定する処理を行う。

【0051】このように、所定の時間が経過するまで、ステップS32、S33の処理が繰り返し実行される。この間、マイクロコンピュータ51には、同期信号の検出信号は入力されないため、電子同調チューナ42の制御が、受信した映像信号に含まれる垂直同期信号に、正確に同期していないフリーランの状態となる。

【0052】ステップS33において、予め設定してある所定の時間が経過しても、垂直同期信号は検出されないと判定された場合、チャンネルC_Aの放送が終了してしまったものと考えられる。そこで、この場合には、ステップS34に進み、マイクロコンピュータ51は、電子同調チューナ31を制御し、他のチャンネル（例えば

10

20

30

40

50

チャンネルC₀)を受信するように、受信チャンネルを切り替えさせる。そして、ステップS35に進み、同期信号検出回路33の出力をモニタし、チャンネルC₀の映像信号に含まれる垂直同期信号が検出されたか否かを判定する。垂直同期信号が検出された場合には、マイクロコンピュータ51は、電子同調チューナ31に、そのままチャンネルC₀を継続して受信させる。これにより、マイクロコンピュータ51は、再び検出された垂直同期信号に同期して、電子同調チューナ42の選局タイミングを制御する。すなわち、これによりフリーラン状態が解除されることになる。

【0053】チャンネルC₀を受信しても、垂直同期信号が検出されないとステップS35において判定された場合には、ステップS36に進み、すべてのチャンネルで垂直同期信号が検出されなかったか否かが判定される。まだ、サーチしていないチャンネルが残っている場合には、ステップS34に戻り、次のチャンネル(例えばチャンネルC₁)に受信チャンネルを切り替えさせる。そして、上述した場合と同様の動作を実行させる。ステップS36において、いずれのチャンネルを受信した場合にも、垂直同期信号を検出することができないと判定された場合には、すべてのチャンネルにおける放送が終了しているものと判定し、処理を終了する。

【0054】以上のようにして、マイクロコンピュータ51が、受信した垂直同期信号に同期して、電子同調チューナ42を制御すると、図10に示すように、効率的に(待ち時間を少なくして)電子同調チューナ42に、各放送チャンネルの映像信号を、順次受信させることができる。図10の例においては、選局に1フィールドの時間がかかるものとしているが、この例では、最初に放送Aの映像信号1が受信された後、1フィールド分の時間をかけて選局1が行われ、垂直同期信号に対応する待ち時間(待ち時間1)を経て、放送Bの映像信号3が受信される。その後、選局2により、放送Cを受信し、所定の待ち時間を経て、放送Cの映像信号5が受信される。

【0055】このようにして、CRT47には、図1のCRT7における場合と同様に、図2に示すようなマルチ画面が表示される。

【0056】なお、以上においては、垂直同期信号を検出するようにしたが、水平同期信号を検出するようにしてもよい。また、本発明は、地上波の放送、CATVシステムに限らず、衛星放送やデジタル放送などを受信する場合にも適用することが可能である。

【0057】

【発明の効果】以上の如く、請求項1に記載の受信装置

および請求項6に記載の受信方法によれば、複数のチャンネルの位相差に対応して選局の順番を決定するようにしたので、複数のチャンネルの信号を周期的に切り替えて受信する場合において、待ち時間を少なくし、それだけ情報の欠落を抑制することができる。

【0058】請求項7に記載の受信装置および請求項9に記載の受信方法によれば、複数のチャンネルの中から、固定された1つのチャンネルの信号を受信し、そのチャンネルの信号の同期信号に同期して、複数のチャンネルの信号を周期的に切り替えるようにしたので、同相の複数のチャンネルの信号を周期的に切り替えて受信する場合において、待ち時間を少なくし、効率的にチャンネルを切り替えることが可能となる。

【図面の簡単な説明】

【図1】本発明の受信装置を応用したテレビジョン受信機の構成例を示すブロック図である。

【図2】図1のCRTにおける表示例を示す図である。

【図3】図1の選局順序決定回路の構成例を示すブロック図である。

【図4】図3の構成例の位相差検出処理を説明するフローチャートである。

【図5】図3の構成例の動作を説明するタイミングチャートである。

【図6】図3の演算回路が行う選局順序決定処理を説明するフローチャートである。

【図7】図1の構成例の動作を説明するタイミングチャートである。

【図8】図1の構成例の動作を説明するタイミングチャートである。

【図9】本発明を適用したCATVシステムにおける受信装置の構成例を示すブロック図である。

【図10】図9の構成例の動作を説明するタイミングチャートである。

【図11】図9の構成例の選局処理を説明するフローチャートである。

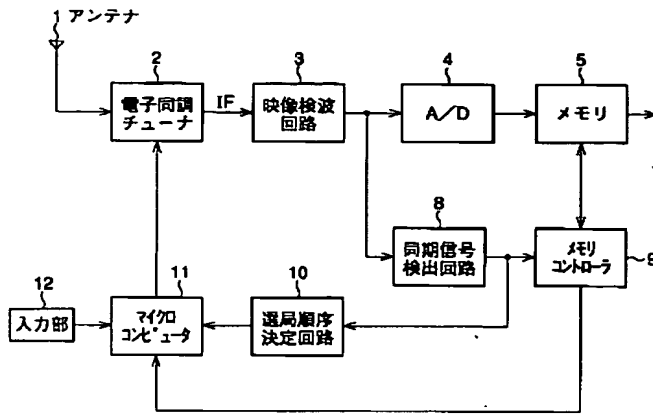
【図12】従来の選局動作を説明するタイミングチャートである。

【図13】従来の選局動作を説明するタイミングチャートである。

【符号の説明】

2 電子同調チューナ, 3 映像検波回路, 5 メモリ, 7 CRT, 8 同期信号検出回路, 9 メモリコントローラ, 10 選局順序決定回路, 11 マイクロコンピュータ, 21 位相検出回路, 22 基準同期信号発生回路, 23-1乃至23-n 位相記憶器, 24 演算回路

【図1】

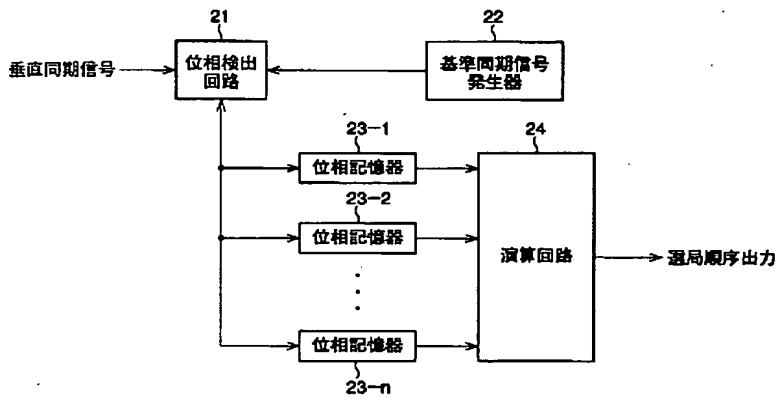


【図2】

C1	C2	C3
C4	C5	C6
C7	C8	C9

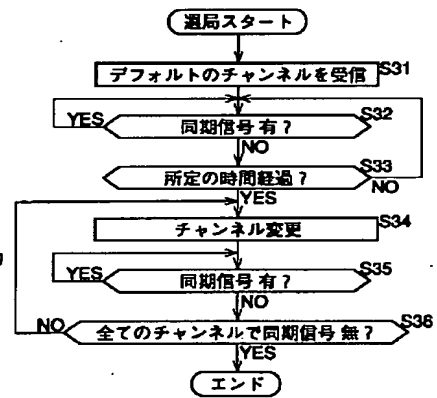
7

【図3】

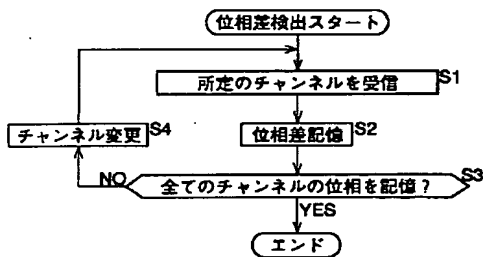


選局順序決定回路 10

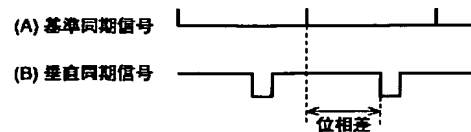
【図11】



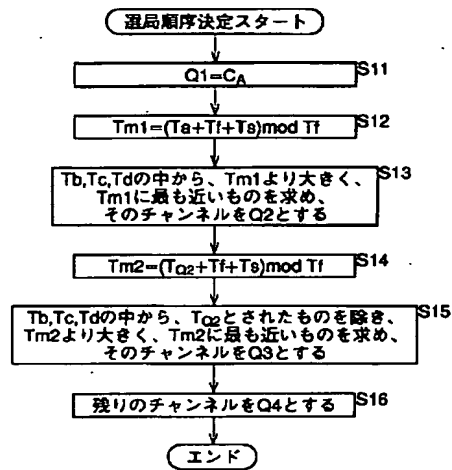
【図4】



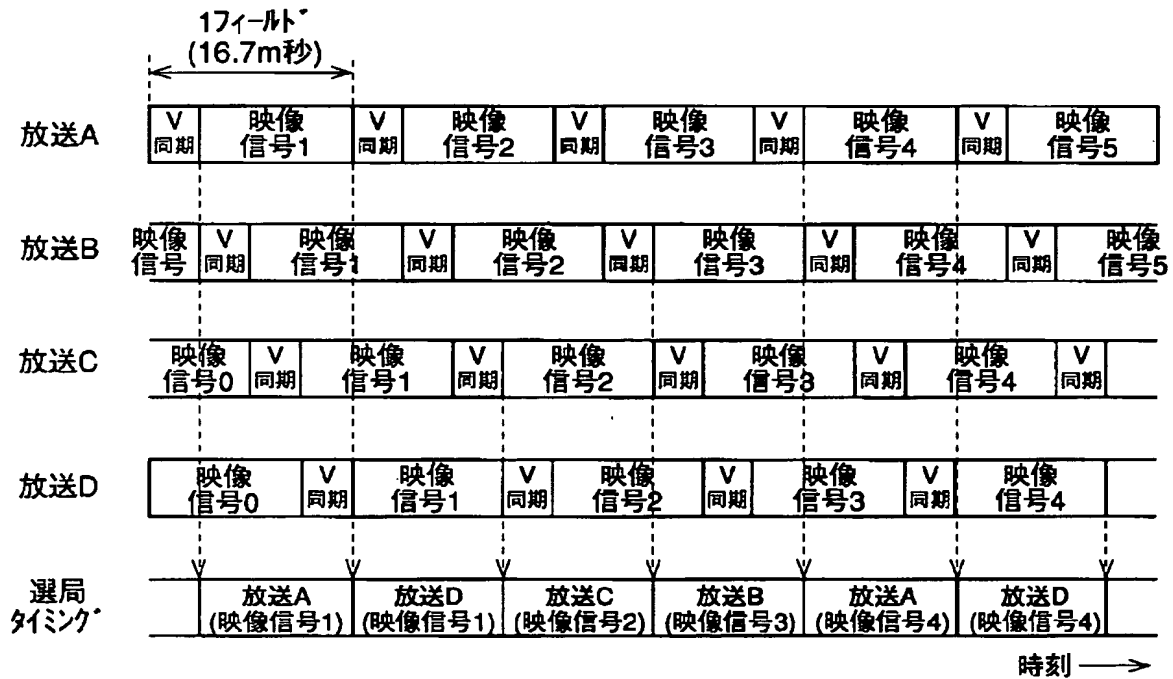
【図5】



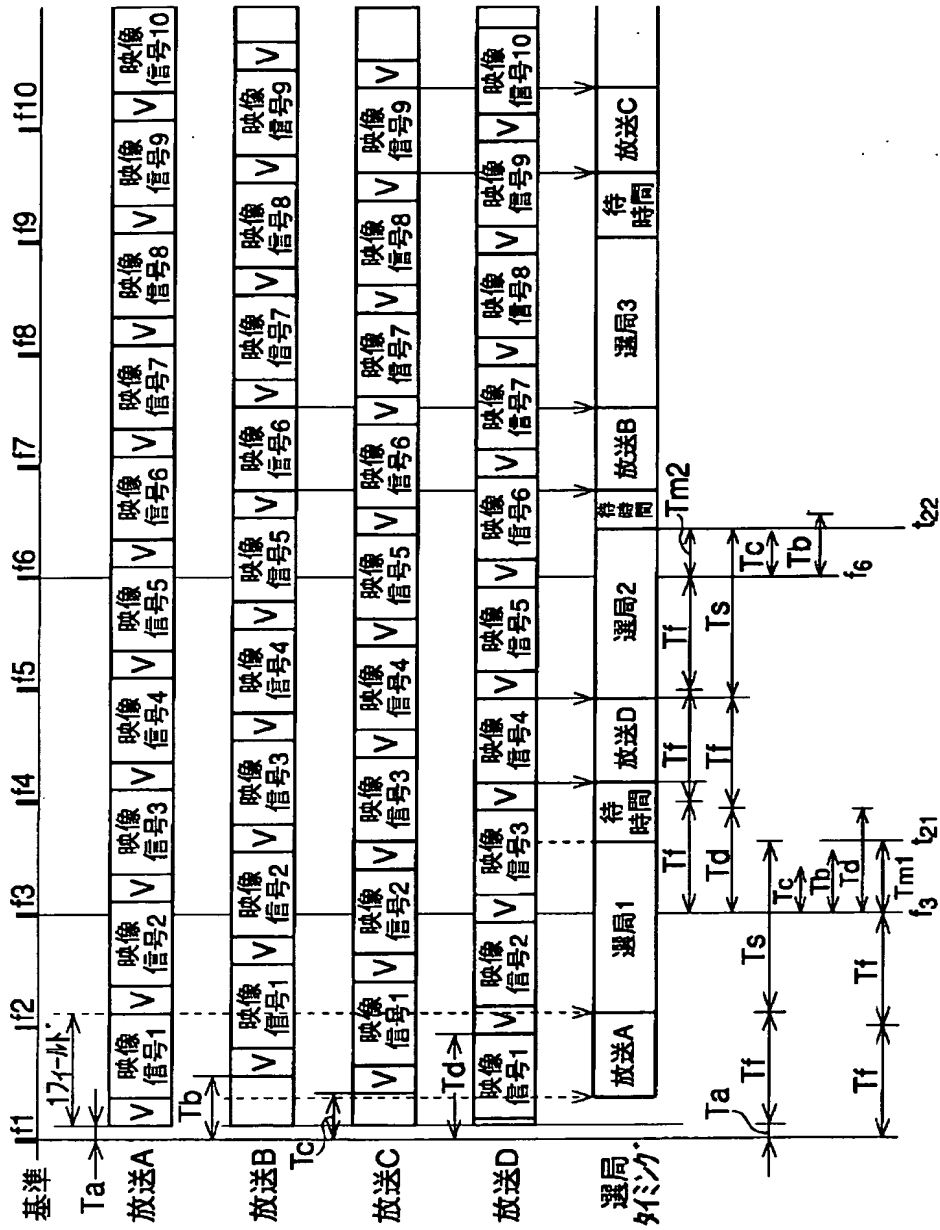
【図6】



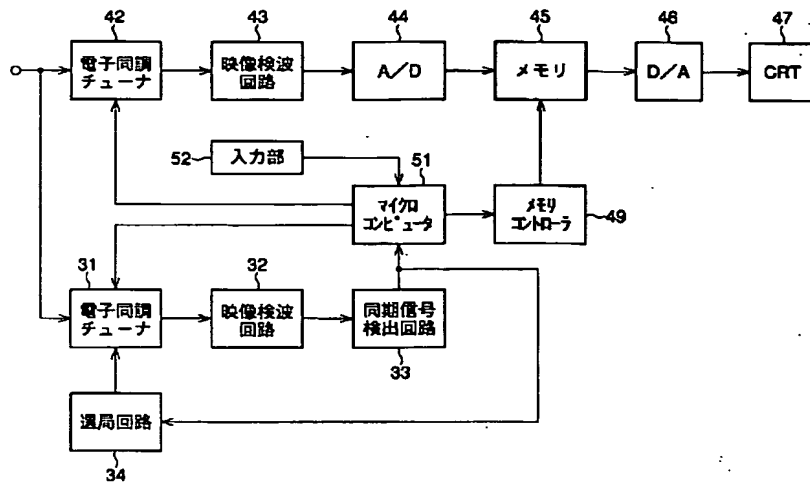
【図8】



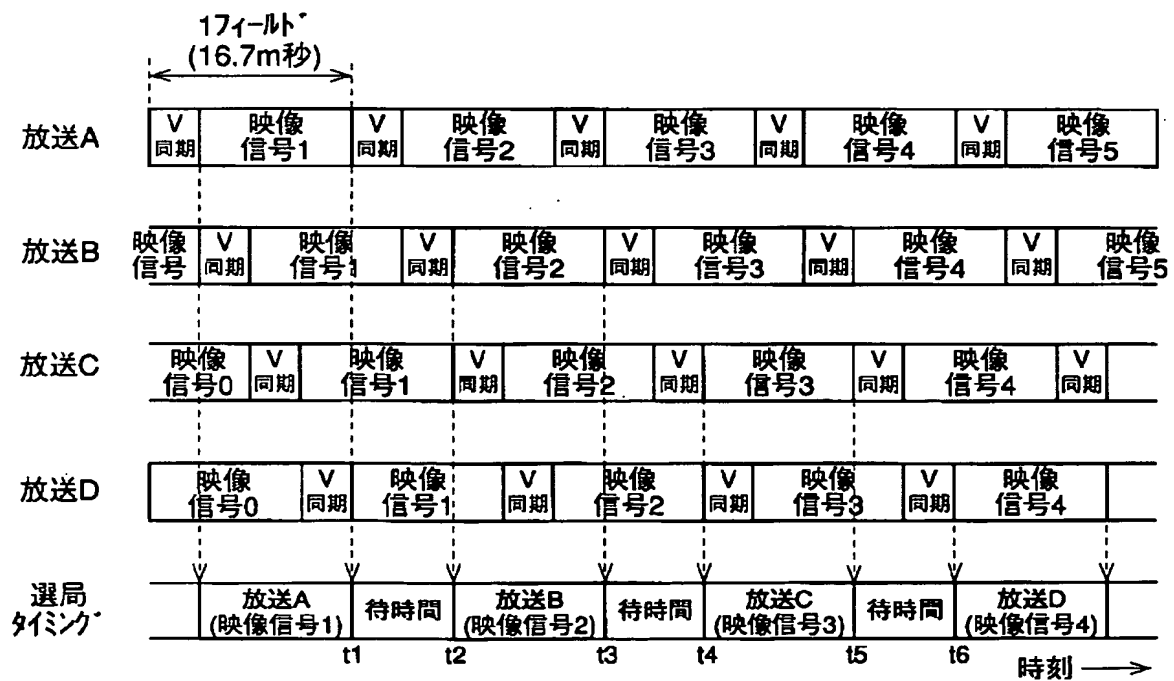
【図7】



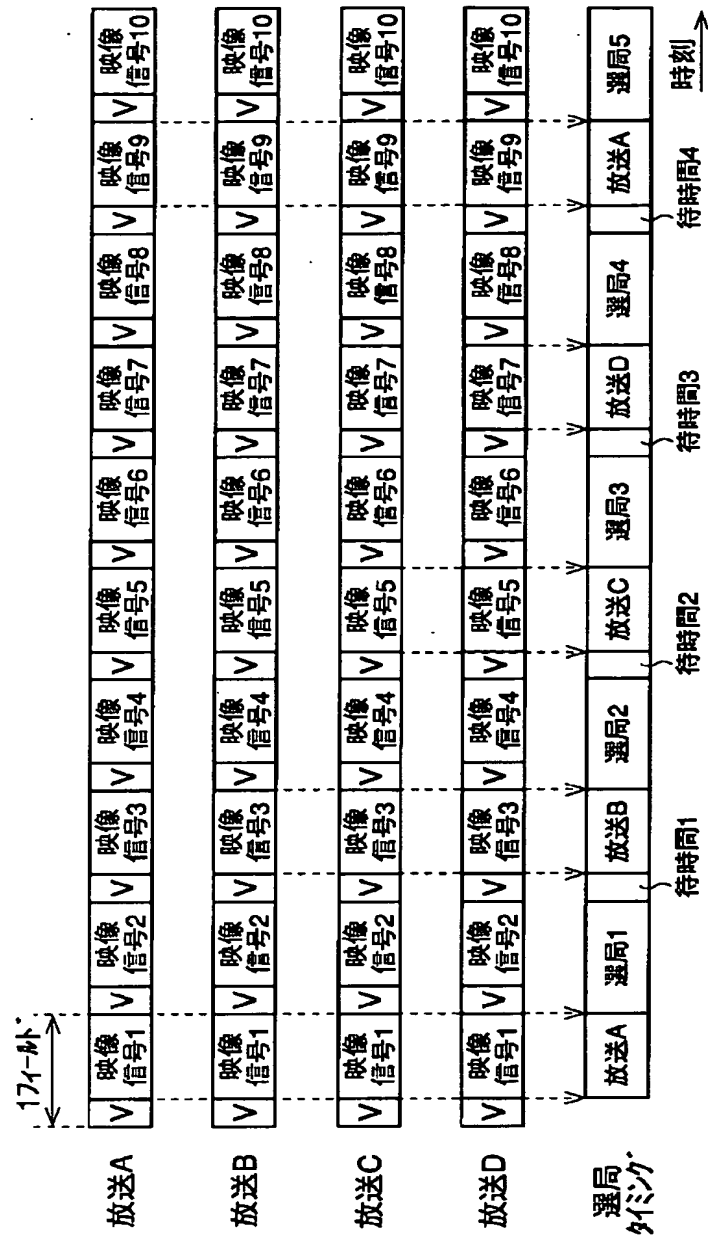
【図9】



【図12】



【図10】



【図13】

